

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10012506
PUBLICATION DATE : 16-01-98

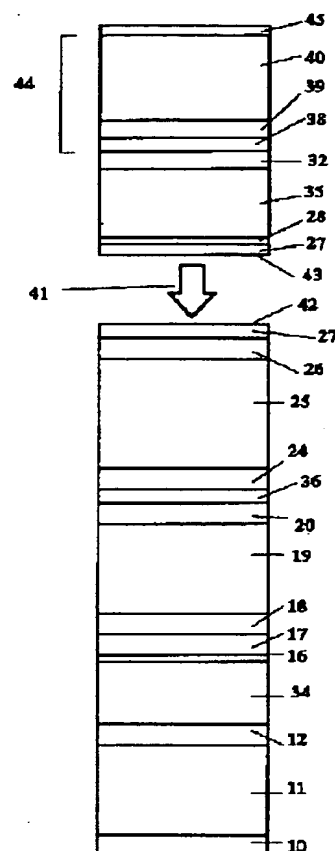
APPLICATION DATE : 21-06-96
APPLICATION NUMBER : 08161510

APPLICANT : NEC CORP;

INVENTOR : SUMINO MASAYOSHI;

INT.CL. : H01L 21/02

TITLE : METHOD FOR BONDING COMPOUND
SEMICONDUCTORS



ABSTRACT : PROBLEM TO BE SOLVED: To provide a method for firmly bonding compound semiconductors by controlling the state of atomic film on the surface of the compound semiconductors with high precision and in-plane crystal azimuth.

SOLUTION: Two wafers are manufactured by forming compound semiconductor layers on the substrates. When the two wafers are bonded on the surface of the compound semiconductor to each other, the stoichiometric composition of the surfaces of the wafers to be bonded, is independently and intentionally controlled. For example, when ZnSe semiconductor layers are bonded, a Zn²⁺ stabilized surface 43 covered with one atomic layer of Zn atoms and a Se stabilized surface 42 covered with one atomic layer of Se atoms are formed, and the two surfaces are brought into contact mechanically to bond the two wafers.

COPYRIGHT: (C)1998,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPIO,

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-12506

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl.⁶
H 0 1 L 21/02

識別記号 庁内整理番号

F I
H 0 1 L 21/02

技術表示箇所

B

審査請求 有 請求項の数9 O L (全 9 頁)

(21)出願番号 特願平8-161510

(22)出願日 平成8年(1996)6月21日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 角野 雅芳

東京都港区芝五丁目7番1号 日本電気株式会社内

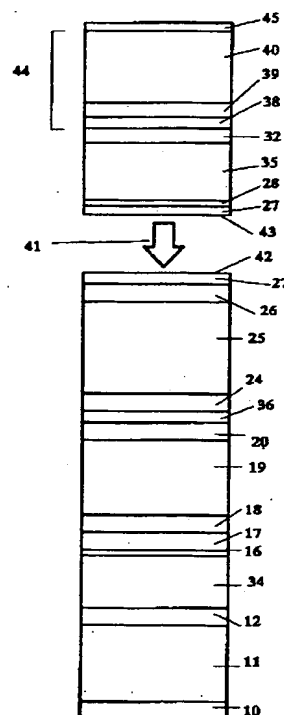
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 化合物半導体の接合方法

(57)【要約】

【課題】 高精度に化合物半導体表面の原子被覆状態と面内結晶方位を制御し、強固に化合物半導体同士を接合する方法を提供する。

【解決手段】 基板上に化合物半導体層を成長させて作製した2つのウエハを化合物半導体表面同士で接合させる際に、これら2つのウエハの接合すべき表面の化学量論的組成を独立且つ意図的に制御して、例えば、ZnSe半導体層の接合では1原子層のZn原子で覆われたZn安定化面43と1原子層のSe原子で覆われたSe安定化面42を形成し、それらの表面を機械的に接触させて2つのウエハを貼り合わせる。



【特許請求の範囲】

【請求項1】 基板上に化合物半導体層を成長させて作製した2つのウエハを化合物半導体表面同士で接合させる際に、これら2つのウエハの接合すべき表面の化学量論的組成を独立かつ意図的に制御して、機械的に接触させることにより2つのウエハを貼り合わせることを特徴とする化合物半導体の接合方法。

【請求項2】 基板上にIII-V族化合物半導体層を成長させて作製した2つのウエハをIII-V族化合物半導体層表面同士で貼り合わせる際に、III族元素およびV族元素の供給量を制御して、2つのウエハの接合すべき表面をそれぞれ1原子層のIII族原子で覆われたIII族安定化面と1原子層のV族原子で覆われたV族安定化面とし、それらの表面を機械的に接触させることで直接的に表面のIII族原子とV族原子を化学結合させて2つのウエハを貼り合わせることを特徴とする化合物半導体の接合方法。

【請求項3】 請求項2記載の接合方法において、接合する2つのウエハの面内の結晶方位を一致させて貼り合わせることを特徴とする化合物半導体の接合方法。

【請求項4】 請求項2または請求項3記載の接合方法において、接合する2つのウエハの接合すべき化合物半導体表面の状態を観察できる高速反射電子線回折装置を備えた分子線エピタキシ結晶成長装置を用い、III族安定化面とV族安定化面の高速反射電子線回折装置の回折像の違いを利用して、高真空中で化合物半導体を接合することを特徴とする化合物半導体の接合方法。

【請求項5】 請求項4記載の接合方法において、接合する2つのウエハの温度差を50℃以内に保ちつつ貼り合わせることを特徴とする化合物半導体の接合方法。

【請求項6】 基板上にII-VI族化合物半導体層を成長させて作製した2つのウエハをII-VI族化合物半導体層表面同士で貼り合わせる際に、II族元素およびVI族元素の供給量を制御して、2つのウエハの接合すべき表面をそれぞれ1原子層のII族原子で覆われたII族安定化面と1原子層のVI族原子で覆われたVI族安定化面にし、それらの表面を機械的に接触させることで直接的に表面のII族原子とVI族原子を化学結合させて2つのウエハを貼り合わせることを特徴とする化合物半導体の接合方法。

【請求項7】 請求項6記載の接合方法において、接合する2つのウエハの面内の結晶方位を一致させて貼り合わせることを特徴とする化合物半導体の接合方法。

【請求項8】 請求項6または請求項7記載の接合方法において、接合する2つのウエハの化合物半導体表面の状態を観察できる高速反射電子線回折装置を備えた分子線エピタキシ結晶成長装置を用い、II族安定化面とVI族安定化面の高速反射電子線回折装置の回折像の違いを利用して、高真空中で化合物半導体を接合することを特徴とする化合物半導体の接合方法。

【請求項9】 請求項8記載のII-VI族化合物半導体の

接合方法において、接合する2つのウエハの温度差を50℃以内に保ちつつ貼り合わせることを特徴とする化合物半導体の接合方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体の接合方法に関する。

【0002】

【従来の技術】近年、Si基板あるいはGaAs基板上に、InP基板上に成長した半導体発光素子のウエハを貼り付けてからInP基板をエッチングで取り去り、Si基板あるいはGaAs基板上に半導体発光素子を得る手法が注目されている。これらの半導体ウエハを貼り合わせる際には、ウエハを大気にさらし、表面を研磨して平坦化させ、荷重をかけて貼り合わせ、熱アニールして接合する手法が採られている。これは、Siウエハ同士の直接接合では確立されている手法である。

【0003】しかしながら、化合物半導体の表面は、Siに較べると不純物を吸着しやすく、強固な酸化膜が形成される特徴があるため、化合物半導体とSiあるいは化合物半導体同士の接合は難しい。

【0004】これらの問題に対する従来の技術としては、特開平4-72608号公報に「化合物半導体ウエハの作製方法および製造装置」なる名称の発明がある。図6はこの従来技術の化合物半導体の接合例の模式的断面図である。この発明では、化合物半導体基板の酸化膜を加熱蒸発させ、例えばp型ZnSeとn型のZnSeの化合物半導体基板を貼り合わせる際に、p型ZnSe基板表面の1%以上をSe原子で覆い、n型ZnSe基板表面の1%以上をZn原子で覆い、その後でこれらの化合物半導体基板を貼り合わせる方法が示されている。

【0005】

【発明が解決しようとする課題】しかしながら、従来のウエハの接合技術では、接合すべき基板表面が厳密に原子制御されていないため、その接合面で原子レベルでZn原子同士あるいはSe原子同士が接触する部位が多数含まれており、その為、電気的な反発力が生じ、ウエハ間の結合力が弱められ、その結果、接合できないあるいは接合できたとしても剥がれやすくなる等、十分に強固な接合を得ることができなくなる。

【0006】また、従来のウエハの接合技術は接合面の原子制御ができないため、半導体発光素子などの製造に用いた場合、発光強度あるいは素子の歩留まりや信頼性は著しく低下してしまう。

【0007】本発明の目的は、高精度に化合物半導体表面の原子被覆状態と面内結晶方位を制御し、強固に化合物半導体を接合する方法を提供する事である。

【0008】

【課題を解決するための手段】本発明は、基板上に化合物半導体層を成長させて作製した2つのウエハを化合物

半導体表面同士で接合させる際に、これら2つのウエハの接合すべき表面の化学量論的組成を独立にかつ意図的に制御して、機械的に接触させることにより2つのウエハを貼り合わせることを特徴とする化合物半導体の接合方法である。

【0009】具体的には、本発明は、基板上にIII-V族化合物半導体層を成長させて作製した2つのウエハをIII-V族化合物半導体層表面同士で貼り合わせる際に、III族元素およびV族元素の供給量を制御して2つのウエハの接合すべき表面をそれぞれ1原子層のIII族原子で覆われたIII族安定化面と1原子層のV族原子で覆われたV族安定化面にし、それらの表面を機械的に接触させることで直接的に表面のIII族原子とV族原子を化学結合させて2つのウエハを貼り合わせることを特徴とする化合物半導体の接合方法、あるいは、上記のIII-V族化合物半導体の接合方法において、接合する2つのウエハの面内の結晶方位を一致させて貼り合わせることを特徴とする化合物半導体の接合方法、あるいは、上記のIII-V族化合物半導体の接合方法において、接合する2つのウエハの化合物半導体表面の状態を観察できる高速反射電子線回折装置を備えた分子線エピタキシ結晶成長装置を用い、III族安定化面とV族安定化面の高速反射電子線回折装置の回折像の違いを利用して、高真空中で化合物半導体を接合することを特徴とする上記の化合物半導体の接合方法、あるいは、上記のIII-V族化合物半導体の接合方法において、接合する2つのウエハの温度差を50℃以内に保ちつつ貼り合わせることを特徴とする化合物半導体の接合方法、あるいは、基板上にII-VI族化合物半導体層を成長させて作製した2つのウエハをII-VI族化合物半導体層表面同士で貼り合わせる際に、II族元素およびVI族元素の供給量を制御して2つのウエハの接合すべき表面をそれぞれ1原子層のII族原子で覆われたII族安定化面と1原子層のVI族原子で覆われたVI族安定化面にし、それらの表面を機械的に接触させることで直接的に表面のII族原子とVI族原子を化学結合させて2つのウエハを貼り合わせることを特徴とする化合物半導体の接合方法、あるいは、上記のII-VI族化合物半導体の接合方法において、接合する2つのウエハの面内の結晶方位を一致させて貼り合わせることを特徴とする化合物半導体の接合方法、あるいは、上記のII-VI族化合物半導体の接合方法において、接合する2つのウエハの化合物半導体表面の状態を観察できる高速反射電子線回折装置を備えた分子線エピタキシ結晶成長装置を用い、II族安定化面とVI族安定化面の高速反射電子線回折装置の回折像の違いを利用して、高真空中で化合物半導体を接合することを特徴とする上記の化合物半導体の接合方法、あるいは、上記のII-VI族化合物半導体の接合方法において、接合する2つのウエハの温度差を50℃以内に保ちつつ貼り合わせることを特徴とする化合物半導体の接合方法である。

【0010】

【発明の実施の形態】II-VI族化合物半導体の接合において、例えば、ZnSe基板同士を強固に接合させるには、ZnおよびSeの供給量を制御して2つの基板の表面をそれぞれ1原子層のZn原子で覆われたII族安定化面と1原子層のSe原子で覆われたVI族安定化面にし、それらのウエハ表面の面内の結晶方位を一致させて、ウエハ表面を機械的に接触させて接合することが必要である。

【0011】しかしながら、前記従来技術の発明では、貼り合わせるウエハの面内の結晶方位が考慮されておらず、ZnSe基板表面のSe原子あるいはZn原子の被覆度を観測し制御する手段がないので、強固に化合物半導体を接合させる事は困難である。

【0012】図4は、化合物半導体の接合面の原子層制御の必要性を示す説明図である。(a)は、接合面が制御されていない場合、(b)は接合面が制御されている場合を示している。特にII-VI族化合物半導体はイオン結合性が強いので、(a)で示されるように接合面が制御されていない場合、接合の界面でSe原子同士あるいはZn原子同士が接触するため電気的な反発力が生じ、ウエハ間の結合力が弱くなる。その結果、ウエハを接合することは困難になる、あるいは接合しても容易に剥がれやすくなってしまう。

【0013】一方(b)で示されるように高い精度で化合物半導体の接合表面が制御されている場合、Zn原子とSe原子が接触して強固に接合されるため、ウエハ間の強い結合力が得られる。

【0014】図5は、化合物半導体ウエハの接合面の面内結晶方位の合わせ方を示す説明図である。GaAs(100)面のイグザクト基板210上にGaAs層を成長させた2つのウエハを貼り合わせる場合、(a)は2つのウエハの面内結晶方位の一つである<011>方向212を一致させないで貼り合わせる場合、(b)は2つのウエハの面内結晶方位の一つである<011>方向212を一致させて貼り合わせる場合を示している。(b)のように結晶方位を一致させる事で、接合面付近の原子配列が乱れず、接合面の強固な単結晶ウエハが得られる。

【0015】本発明の化合物半導体の接合方法に起因する効果を生み出す作用についてIII-V族化合物半導体を例にとって述べる。

【0016】通常はV族原子を過剰に供給して成長させるので、成長表面あるいは成長中断時の表面はV族原子で覆われて安定している。このとき表面のV族原子は特有の表面再構成構造をとって規則正しく配列している。そのため高速反射電子線回折(RHEED)装置を用いてIII-V族化合物半導体の成長時の表面を観察した場合、V族安定化面に特有の、例えば(2×4)などの、表面再構成構造を反映する回折像が得られる。表面をII

I族原子で覆うには、基板表面へのV族原子の供給を止め、分子線エピタキシ結晶成長(MBE)装置の原料供給シャッターを開閉して、III族原子を1原子層の分量だけ供給すればよい。シャッターを開けて原料を供給する時間は、半導体層の成長速度から算出することができる。表面がIII族原子で覆われIII族安定化面ができたから、RHEEDの回折像はIII族安定化面に特有の、例えば(4×2)の表面再構成構造を反映する回折像に変化する。

【0017】本発明は、高速反射電子線回折装置を用いて上記の方法により、III族安定化面とV族安定化面を高精度に制御する事ができる。また回折像を見ながら2つのウェハの面内結晶方位を合わせたり、基板ホルダーへの2つの基板の貼り付け方をあらかじめ接合時に結晶方位が合うようにしておくことで、結晶の面内結晶方位を合わせて接合できるので、接合界面付近の原子配列が乱れない強固な接合が可能となる。

【0018】また、本発明ではIII-V族化合物半導体、II-VI族化合物半導体のそれぞれの場合に、接合すべき表面に形成するそれぞれの安定化面は1原子層とすることが重要である。例えば、III-V族化合物半導体の場合、III族原子同士あるいはV族原子同士は結合せずに反発し合うため、2原子層以上のIII族原子面あるいはV族原子面を界面安定化層として用いることはできない。II-VI族化合物半導体の場合にはさらにイオン性が大きいため、II族原子同士やVI族原子同士はより強く反発するため、界面安定化層は1原子層としなければならない。貼り合わせる2つのウェハの表面の一部あるいは全体が同じ族の原子で覆われていたり、従来技術の原子制御せずに層形成した場合のように多原子層表面になっていたりすると、接合された半導体の電気的特性に対して抵抗増大等の悪影響を与えるために好ましくない。

【0019】また本発明では2つのウェハの温度差を50℃以下に制御して貼り合わせるため、同じ種類のウェハであれば、ウェハ上に格子整合した半導体層の格子定数は同程度であり、接合後、室温へ冷却した時に、2つのウェハの間に熱膨張に起因する大きな歪は生じない。

【0020】また本発明に用いられるMBE装置内の圧力は 10^{-8} Torr程度の高真空に保たれているので、接合するウェハの表面は極めて清浄である。

【0021】以上の作用は、II-VI族化合物半導体においても同様に成り立つので、本発明の化合物半導体の接合方法はII-VI族化合物半導体の接合に対しても有効である。

【0022】

【実施例】以下、実施例により本発明を具体的に説明するが、本発明はこれらの実施例により限定されるものではない。

【0023】実施例1

図1は本発明の第1の実施例の発光素子(LD)の断面

構造図である。第1実施例のLDは、n電極10、n-GaAs基板11、層厚300nmのn-GaAsバッファ層12、n型バンド障壁緩和層34、2分子層厚のn-GaAs界面安定化層16、層厚30nmのn-ZnSe層17、層厚150nmのn-ZnSSe層18、層厚1μmのn-Mg_{0.1}Zn_{0.9}S_{0.14}Se_{0.86}クラッド層19、層厚100nmのn-ZnSSe光閉じ込め層20、層厚7nmのZn_{0.8}Cd_{0.2}Seウエル層21、層厚10nmのZnSSeバリア層22、層厚7nmのZn_{0.8}Cd_{0.2}Seウエル層23、層厚100nmのp-ZnSSe光閉じ込め層24、層厚0.8μmのp-Mg_{0.1}Zn_{0.9}S_{0.14}Se_{0.86}クラッド層25、層厚300nmのp-ZnSSe層26、層厚40nmのp-ZnSe層27、2分子層厚のp-GaAs界面安定化層28、p型バンド障壁緩和層35、p⁺-GaAsコンタクト層32、p電極33から成る。n型バンド障壁緩和層34は、層厚50nmのn-GaInP層13、層厚50nmのn-(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P層14、層厚50nmのn-AlInP層15から成り、p型バンド障壁緩和層35は、層厚50nmのp-AlInP層29、層厚50nmのp-(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P層30、層厚50nmのp-GaInP層31から成る。

【0024】第1の実施例のLDは、GaAs基板上的II-VI族化合物半導体LD素子であり、n型およびp型のバンド障壁緩和層34および35を備えたことを特徴とする。

【0025】本実施例のLD素子用のウェハは、MBE法だけに限らず、MOMBE及びガスソースMBE等の気相成長法により作製できる。III-V族半導体原料には、Al、Ga、In、As、P等の固体原料あるいはAl、Ga、In、As、Pを含む有機金属原料もしくはAs、Pを含む水素化合物を用いる。II-VI族半導体原料としては、Cd、Zn、Mg、S等の単体およびCdS、ZnS、ZnCl₂等の化合物を用いる。水素化合物原料あるいは有機金属原料を高温でクラッキングして原料元素を供給してもよい。III-V族半導体層のpドーパントにはBe、Mg、Zn等を用い、nドーパントにはSi、Sn等を用いる。II-VI族半導体層のpドーパントには、ECRプラズマガンあるいは熱分解セルにより供給される、励起窒素あるいは中性ラジカルの窒素プラズマ等を用い、nドーパントにはZnCl₂のClまたは金属Ga等を用いる。n型のドーピング濃度はすべての層で約 $8 \times 10^{17} \text{ cm}^{-3}$ 、p型のドーピング濃度については、p-MgZnSSeクラッド層25は $5 \times 10^{17} \text{ cm}^{-3}$ 、p-ZnSSe層26、p-ZnSe層27、p-GaAs界面安定化層28は $8 \times 10^{17} \text{ cm}^{-3}$ 、p型バンド障壁緩和層35は $1 \times 10^{18} \text{ cm}^{-3}$ 、p⁺-GaAsコンタクト層32は $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。また発光層であるZn_{0.8}Cd_{0.2}Seウエル層

21およびZnSSeバリア層22はアンドープ層である。但し、ドーピング濃度および3元混晶と4元混晶の組成及び層厚は、本実施例に限定されず、利得が最大になるように調整できる。

【0026】以下に本発明の第1の実施例のLDの作製方法について述べる。図2は本実施例のLDの作製方法を示す図である。

【0027】先ずIII-V族専用のMBE成長室で、n-GaAs基板11上に、Asビーム照射下で基板温度を630℃にしてGaAs基板の酸化膜を蒸発させた後、n-GaAsバッファ層12を成長させる。n-GaAsバッファ層12を成長させながら成長温度を540℃に降下させ、AlGaInP系のn型バンド障壁緩和層34、n-GaAs界面安定化層16を成長させた後に、基板温度を150℃に下げる。n-GaAs界面安定化層16は、その上に成長させるn-ZnSeの成長を容易にする効果がある。次にそのウエハをII-VI族専用のMBE成長室に高真空を維持したまま搬送し、成長温度300℃付近で、n-ZnSe層17、n-ZnSSe層18、n-MgZnSSeクラッド層19、ZnSSe光閉じ込め層20、ZnCdSe/ZnSSe量子井戸活性層36、ZnSSe光閉じ込め層24、p-MgZnSSeクラッド層25、p-ZnSSe層26、層厚20nmのp-ZnSe層27、を順次MBE成長させ、第1のウエハを作製する。但し、第1のウエハの表面層であるp-ZnSe層27の表面はSe安定化面42にする。これは、高速電子線回折装置で表面を観測して、ウエハ表面がSe原子の1原子層で覆われたSe安定化面の再構成表面に対応する(2×1)の電子線回折パターンになるようにSeビーム強度を制御する事で精密に実現できる。

【0028】同様にして、p-GaAs基板40上にp-GaAsバッファ層39、p-GaInPエッチングストップ層38、p⁺-GaAsコンタクト層32、p-GaAs界面安定化層28をIII-V族専用のMBE成長室で成長させた後、層厚20nmのp-ZnSe層27をII-VI族専用のMBE成長室で成長させ、第2のウエハを作製する。但し、第2のウエハの表面層であるp-ZnSe層27の表面はZn安定化面43にする。具体的には、Se原子の供給を停止し、成長速度から見積もった1原子層相当量のZnを供給することでZn安定化面を得ることができる。同様に、高速電子線回折装置で、Zn安定化面の再構成表面に対応する(1×2)の電子線回折パターンを観測できる。

【0029】このようにして用意された2つのウエハを、ウエハの接合面の面内の結晶方位が一致するように接合する。また高真空中で、例えば280℃程度のほぼ同一の温度に保ち、同種類かつ同導電型の半導体層であるp-ZnSe層27のSe安定化面42とZn安定化面43を機械的に直接接合41することで貼り合わせ、

一体化したウエハを得る。

【0030】次に、p-GaAs基板40とp-GaAsバッファ層39、p-GaInPエッチングストップ層38のエッチング除去44を行う。具体的には以下のように行う。先ず一体化したウエハをMBE装置から取り出し、塩酸に浸して、n側とp側表面に付着したInを除去する。n-GaAs基板表面をワックスで覆い、p-GaAs基板40とp-GaAsバッファ層39をリン酸系のエッチング溶液(リン酸:過酸化水素:水=1:1:10)を用いて除去する。p-GaInPエッチングストップ層38でリン酸系エッチングは自動的に停止する。p-GaInPエッチングストップ層38を塩酸を用いて除去し、p⁺-GaAsコンタクト層32を表面に出す。

【0031】以下の工程は通常のLDの電極形成プロセスと同様である。有機洗浄でワックスを剥がし、n-GaAs基板を研磨し、石英ガラスやレジストを用いてp側にストライプを形成し、p電極あるいはn電極を形成する。

【0032】実施例2

図3は本発明の第2の実施例のLDの断面構造図である。第2の実施例のLDは、n電極100、n-GaAs基板101、層厚300nmのn-GaAsバッファ層102、n型バンド障壁緩和層124、2分子層厚のn-GaInP界面安定化層106、層厚50nmのn-GaN/InN超格子層107、層厚800nmのn-Ga_{0.8}In_{0.2}Nバッファ層108、層厚200nmのn-Al_{0.12}Ga_{0.68}In_{0.2}Nクラッド層109、層厚100nmのn-Ga_{0.2}In_{0.2}N光閉じ込め層110、層厚7nmのGa_{0.6}In_{0.4}Nウエル層111、層厚10nmのGa_{0.8}In_{0.2}Nバリア層112、層厚7nmのGa_{0.6}In_{0.4}Nウエル層111、層厚100nmのp-Ga_{0.8}In_{0.2}N光閉じ込め層113、層厚200nmのp-Al_{0.12}Ga_{0.68}In_{0.2}Nクラッド層114、層厚400nmのp-Ga_{0.8}In_{0.2}N層115、層厚400nmのp-Ga_{0.8}In_{0.2}Nバッファ層116、層厚50nmのp-GaN/InN超格子層117、2分子層厚のp-GaInP界面安定化層118、p型バンド障壁緩和層125、p⁺-GaAsコンタクト層122、p電極123から成る。n型バンド障壁緩和層124は、層厚50nmのn-GaInP層103、層厚50nmのn-(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P層104、層厚50nmのn-AlInP層105から成り、p型バンド障壁緩和層125は、層厚50nmのp-AlInP層119、層厚50nmのp-(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P層120、層厚50nmのp-GaInP層121から成る。

【0033】第2の実施例のLDは、GaAs基板上のIII-V族窒素化合物半導体LD素子であり、n型およびp型のバンド障壁緩和層を備えたことを特徴とする。

【0034】本実施例のLD素子用のウエハは、MBE法に限らず、MOMBE及びガスソースMBE等の気相成長法でも作製できる。III-V族半導体原料には、Al、Ga、In、As、P等の固体原料あるいはAl、Ga、In、As、Pを含む有機金属原料もしくはAs、Pを含む水素化合物を用いる。III-V族窒素化合物半導体原料としては、Al、Ga、In、等の固体原料あるいはAl、Ga、In、Nを含む有機金属原料もしくはアンモニア等のNを含む水素化合物を用いる。水素化合物原料は高温でクラッキングして原料元素を供給する。III-V族半導体層のpドーパント原料にはCP₂Mg等のMg化合物を用い、nドーパントにはSi等を用いる。本実施例のLD素子用の基板はGaAs基板に限定されず、サファイア基板などでも良い。

【0035】以下に本発明の第2の実施例のLDの作製方法について述べる。本実施例のLDの作製方法は第1の実施例のLDと基本的には同様である。但し、発光層を含む半導体がII-VI族化合物半導体ではなくIII-V族窒素化合物半導体である点異なるので、それに適した作製方法を用いる。

【0036】図3に示されるように、n-GaAs基板101上に、n-GaAsバッファ層102を成長した後、成長温度を約540℃に保ち、AlGaInP系のn型バンド障壁緩和層124と2分子層のn-GaInP界面安定化層106を成長させる。次に、供給するV族元素をPからNに変え、表面を窒化した後、約550℃の成長温度で層厚50nmのn-GaN/InN超格子層107と層厚150nmのn-Ga_{0.8}In_{0.2}Nバッファ層108を成長させる。その後、十分なN圧の下で、成長温度を約800℃に上げて、層厚650nmのn-Ga_{0.8}In_{0.2}Nバッファ層108から層厚400nmのp-Ga_{0.8}In_{0.2}N層115まで順に成長させて、第1のウエハを得る。一方、p-GaAs基板101上に、p-GaAsバッファ層、p-GaInPエッチングストップ層、p⁺-GaAsコンタクト層122、p型バンド障壁緩和層125、p-GaInP界面安定化層118を順に成長させた後、同様にして、p-GaN/InN超格子層117と層厚400nmのp-Ga_{0.8}In_{0.2}Nバッファ層116を成長させて、第2のウエハを得る。N加圧を維持した状態で、それぞれのウエハを600℃以上で1時間程度熱アニールする。これによって、窒素化合物半導体にドーピングしたMgが活性化し、高濃度のp型窒素化合物半導体が得られる。その後高速反射電子回折装置でウエハ表面を観察しながら、第1のウエハの表面をN安定化面にし、第2のウエハの表面を、1原子層のGa_{0.8}In_{0.2}を供給することで、GaIn安定化面にする。2つのウエハを約800℃の基板温度に保ち、2つのウエハの接合面内の結晶方位を合わせて、表面で直接接合して貼り合わせる。最後に、軽く荷重をかけてウエハを貼り合わせた状態で60

0℃以上で1時間程度熱アニールする。これによって、2つのウエハが隙間なく接着し、かつ接合面近傍の窒素化合物半導体層に活性化したMgが拡散し、均一かつ高濃度のp型窒素化合物半導体を得られる。Nは蒸気圧が高く結晶から昇華しやすいが、この方法では、2つのウエハがお互いに相手のウエハに対してキャップ層として働き、熱アニール時のN抜けを防ぐ事ができる。一体化したウエハをMBE結晶成長装置から取り出し、第1の実施例と同様にして、p-GaAs基板101、p-GaAsバッファ層、p-GaInPエッチングストップ層、をエッチング除去し、p⁺-GaAsコンタクト層122を表面に出して、p電極123を形成する。

【0037】

【発明の効果】本発明の化合物半導体の接合方法を用いることにより、n電極およびp側電極のオーミックコンタクトが容易に取れるようにGaAs基板と格子整合した高品質かつ高ドーピング濃度のIII-V族化合物半導体のコンタクト層を有し、またコンタクト層とバンド障壁緩和層が格子整合層であるため、強歪コンタクト層の転位増殖による劣化のない、高信頼動作が可能なII-VI族半導体発光素子が提供できる。

【0038】また、基板と格子整合した高品質かつ高ドーピング濃度のIII-V族化合物半導体のバンド障壁緩和層を有し、伝導体と価電子帯におけるGaAs基板とII-VI族半導体層間のバンド障壁が徐々に緩和されて電子とホールの発光層を含む半導体層への注入が容易であるため、本発明により接合されたII-VI族半導体発光素子は低電圧動作が可能である。

【0039】さらに本発明の接合方法では、接合する2つのウエハの接合面をそれぞれ1原子層の界面安定化層としたことにより、接合界面における電気的特性の劣化を抑制できるという効果も有する。

【0040】以上述べた効果は、本発明のIII-V族窒素化合物半導体発光素子にも当てはまる。従って、本発明により、高精度に化合物半導体表面の原子被覆状態を制御し、強固に化合物半導体を接合する事が可能となるので、従来にはない高信頼かつ低電圧動作のII-VI族化合物半導体発光素子あるいはIII-V族窒素化合物半導体発光素子が実現できる。

【図面の簡単な説明】

【図1】第1の実施例の半導体LDの模式的断面図である。

【図2】第1の実施例の半導体LDの製造方法の説明図である。

【図3】第2の実施例の半導体LDの模式的断面図である。

【図4】化合物半導体の接合面の原子層制御の必要性を示す説明図で、(a)は接合面が制御されていない場合、(b)は接合面が制御されている場合を示す。

【図5】化合物半導体ウエハの接合面の面内結晶方位の

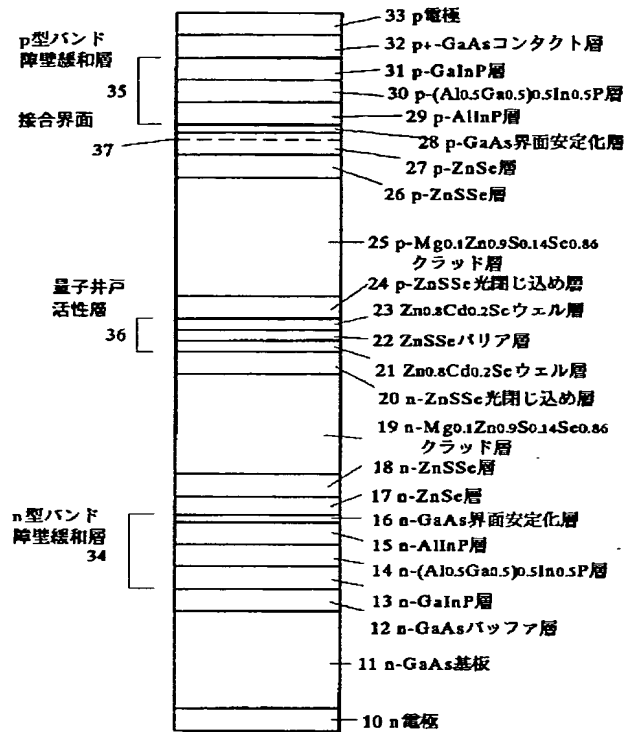
合わせ方を示す説明図で、(a)は面内結晶方位が一致していない場合、(b)は面内結晶方位が一致している場合を示す。

【図6】従来技術の化合物半導体の接合例の模式的断面図である。

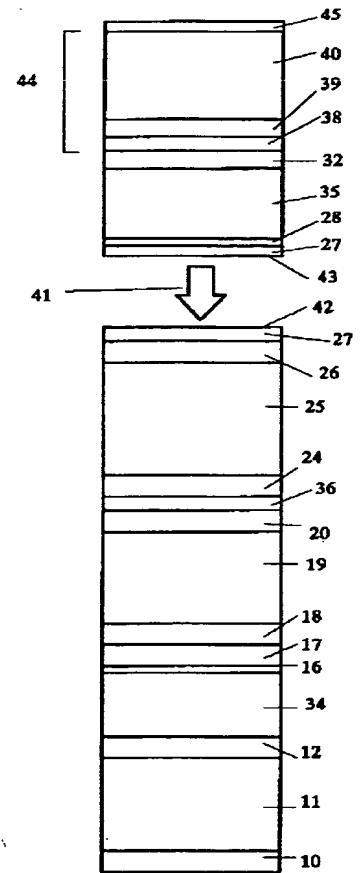
【符号の説明】

- | | | | |
|-----|--|-----|--|
| 10 | n電極 | 101 | n-GaAs基板 |
| 11 | n-GaAs基板 | 102 | n-GaAsバッファ層 |
| 12 | n-GaAsバッファ層 | 103 | n-GaInP層 |
| 13 | n-GaInP層 | 104 | n-(Al _{0.5} Ga _{0.5}) _{0.5} In _{0.5} P層 |
| 14 | n-(Al _{0.5} Ga _{0.5}) _{0.5} In _{0.5} P層 | 105 | n-AlInP層 |
| 15 | n-AlInP層 | 106 | n-GaInP界面安定化層 |
| 16 | n-GaAs界面安定化層 | 107 | n-GaN/InN超格子層 |
| 17 | n-ZnSe層 | 108 | n-Ga _{0.8} In _{0.2} Nバッファ層 |
| 18 | n-ZnSSe層 | 109 | n-Al _{0.12} Ga _{0.68} In _{0.2} Nクラッド層 |
| 19 | n-Mg _{0.1} Zn _{0.9} S _{0.14} Se _{0.86} クラッド層 | 110 | n-Ga _{0.8} In _{0.2} N光閉じ込め層 |
| 20 | n-ZnSSe光閉じ込め層 | 111 | Ga _{0.6} In _{0.4} Nウエル層 |
| 21 | Zn _{0.8} Cd _{0.2} Seウエル層 | 112 | Ga _{0.8} In _{0.2} Nバリア層 |
| 22 | ZnSSeバリア層 | 113 | p-Ga _{0.8} In _{0.2} N光閉じ込め層 |
| 23 | Zn _{0.8} Cd _{0.2} Seウエル層 | 114 | p-Al _{0.12} Ga _{0.68} In _{0.2} Nクラッド層 |
| 24 | p-ZnSSe光閉じ込め層 | 115 | p-Ga _{0.8} In _{0.2} N層 |
| 25 | p-Mg _{0.1} Zn _{0.9} S _{0.14} Se _{0.86} クラッド層 | 116 | p-Ga _{0.8} In _{0.2} Nバッファ層 |
| 26 | p-ZnSSe層 | 117 | p-GaN/InN超格子層 |
| 27 | p-ZnSe層 | 118 | p-GaInP界面安定化層 |
| 28 | p-GaAs界面安定化層 | 119 | p-AlInP層 |
| 29 | p-AlInP層 | 120 | p-(Al _{0.5} Ga _{0.5}) _{0.5} In _{0.5} P層 |
| 30 | p-(Al _{0.5} Ga _{0.5}) _{0.5} In _{0.5} P層 | 121 | p-GaInP層 |
| 31 | p-GaInP層 | 122 | p ⁺ -GaAsコンタクト層 |
| 32 | p ⁺ -GaAsコンタクト層 | 123 | p電極 |
| 33 | p電極 | 124 | n型バンド障壁緩和層 |
| 34 | n型バンド障壁緩和層 | 125 | p型バンド障壁緩和層 |
| 35 | p型バンド障壁緩和層 | 126 | 接合界面 |
| 36 | 量子井戸活性層 | 200 | ZnSe |
| 37 | 接合界面 | 201 | ZnSe |
| 38 | p-GaInPエッチングストップ層 | 202 | Zn原子 |
| 39 | p-GaAsバッファ層 | 203 | Se原子 |
| 40 | p-GaAs基板 | 204 | 接合界面 |
| 41 | 直接接合 | 205 | 接合界面 |
| 42 | Se安定化面 | 206 | 弱い結合 |
| 43 | Zn安定化面 | 207 | 強い結合 |
| 44 | エッチング除去 | 210 | GaAsイグザクト基板 |
| 45 | In金属 | 211 | GaAs(100)面 |
| 100 | n電極 | 212 | <011>方向 |
| | | 213 | 貼り合わせ方向 |
| | | 300 | p-ZnSe |
| | | 301 | Se-原子層 |
| | | 302 | Zn-原子層 |
| | | 303 | n-ZnSe |

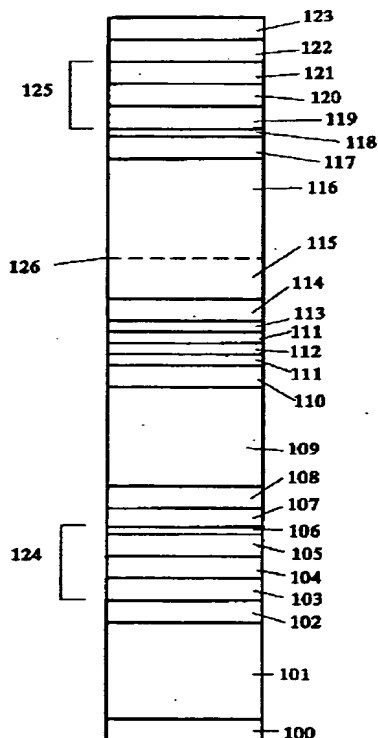
【図1】



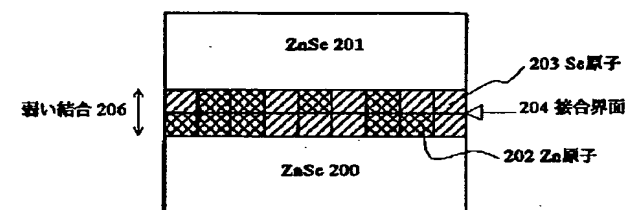
【図2】



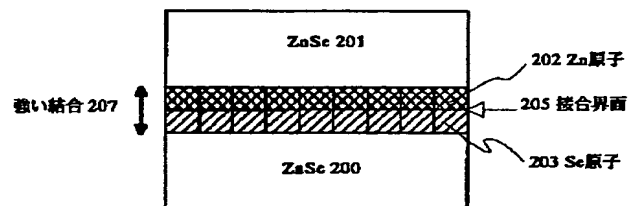
【図3】



【図4】

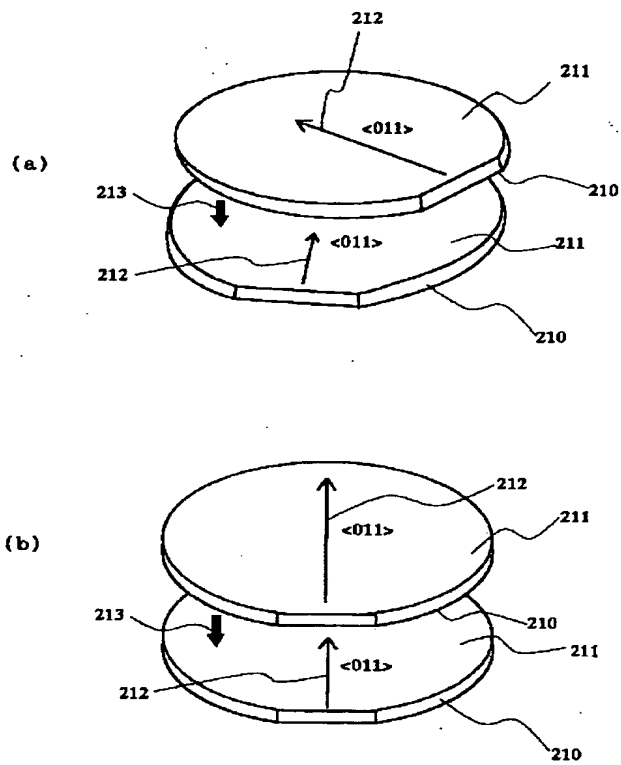


(a)

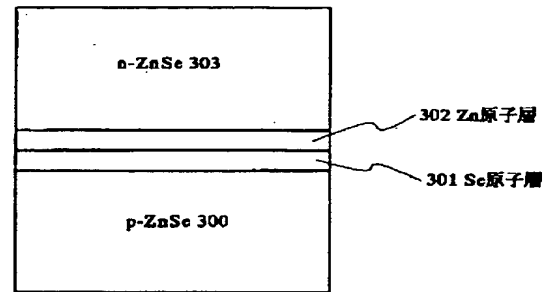


(b)

【図5】



【図6】



THIS PAGE BLANK (USPFO,

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)